

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-049817

(43)Date of publication of application : 21.02.1995

(51)Int. Cl. G06F 13/00
G06F 13/28
G06F 13/362

(21)Application number : 05-195820

(71)Applicant : HITACHI LTD
HITACHI INSTR ENG CO LTD

(22)Date of filing : 06.08.1993

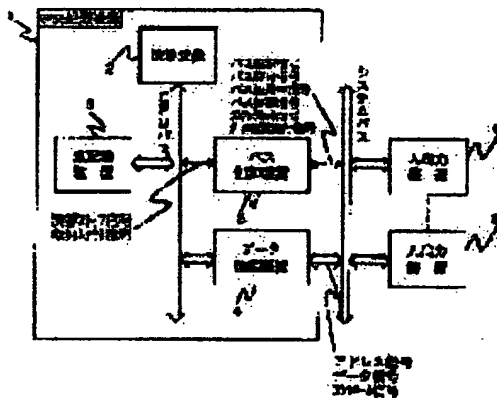
(72)Inventor : YAZAKI NAOFUMI
WATARI SHIGENORI

(54) DMA TRANSFER CONTROLLER

(57)Abstract:

PURPOSE: To reset an input/output device which is hungup during DMA transfer.

CONSTITUTION: A central processor 1 consists of an arithmetic unit 2, a storage device 3, a data connecting device 4 which connects data of a CPU bus and a system bus, a bus controller 5, and in the data processor having an input/output device 6 connected to the system bus, the bus controller is provided with a means which monitors time. When the DMA transfer time of the input/output device exceeds a prescribed time, a bus abandonment signal, a system reset signal, and a bus time-out signal are outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of

BEST AVAILABLE COPY

rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-49817

(43)公開日 平成7年(1995)2月21日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 0 1 B			
13/28	3 1 0 D	8944-5B		
13/362	5 2 0 C	8944-5B		

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号	特願平5-195820	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成5年(1993)8月6日	(71)出願人	000233240 日立計測エンジニアリング株式会社 茨城県勝田市堀口字長久保832番地2
		(72)発明者	矢崎 直文 茨城県勝田市堀口字長久保832番地2 日 立計測エンジニアリング株式会社内
		(72)発明者	亘 重範 茨城県勝田市大字市毛882番地 株式会社 日立製作所計測器事業部内
		(74)代理人	弁理士 小川 勝男

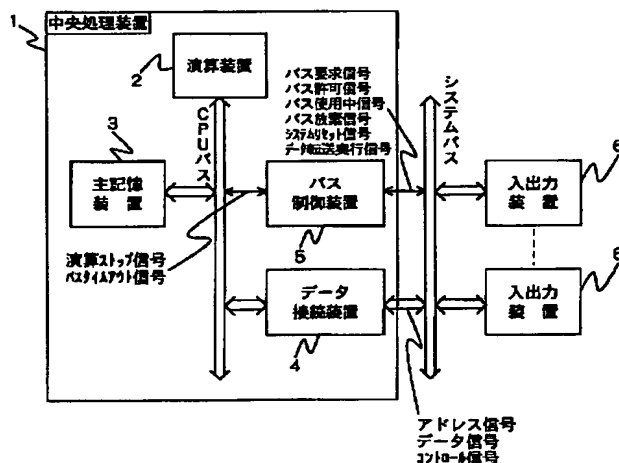
(54)【発明の名称】 DMA転送制御装置

(57)【要約】

【目的】DMA転送中にハングアップした入出力装置を復帰させること。

【構成】中央処理装置1は演算装置2、記憶装置3、CPUバスとシステムバスのデータを接続するデータ接続装置4、バス制御装置5とからなり、システムバス上に入出力装置6が接続されるデータ処理装置において、バス制御装置に時間監視する手段をもたせ、入出力装置によるDMA転送時間が規定を超えたときにバス放棄信号、システムリセット信号、バスタイムアウト信号を出力する。

図 2



【特許請求の範囲】

【請求項 1】システムバスに演算処理を実行する演算装置に CPU バスを介して、演算処理に必要なデータを記憶する記憶装置と、CPU バスとシステムバスのデータを接続するデータ接続装置と、DMA 転送におけるバス権を制御するバス制御装置とからなる中央処理装置、およびシステムバスの DMA 転送を実行可能な入出力装置が接続されるデータ処理装置において、前記バス制御装置にバス使用許可信号とバス使用中信号とデータ転送実行信号を時間監視する手段をもたせ、前記入出力装置による DMA 転送時間が規定時間を超えたときにバス権の所有を放棄させるバス放棄信号を送出し、さらに、前記入出力装置ではバス放棄信号を送出してもバス権を所有している場合には、システムバスにシステムリセット信号を出力し、また、バス放棄信号とシステムリセット信号を送出とともに、CPU バスを介し演算装置にタイムアウトを報告することを特徴とする DMA 転送制御装置。

【請求項 2】システムバスに演算処理を実行する演算装置に CPU バスを介して、演算処理に必要なデータを記憶する記憶装置と、演算処理に必要なデータを入出力する DMA 転送可能な入出力装置と、CPU バスとシステムバスのデータを接続するデータ接続装置と、DMA 転送におけるバス権を制御するバス制御装置とからなる中央処理装置、およびシステムバスの DMA 転送を実行可能な入出力装置が接続されるデータ処理装置において、前記バス制御装置にバス使用許可信号とバス使用中信号とデータ転送実行信号を時間監視する手段をもたせ、前記入出力装置による DMA 転送時間が規定時間を超えたときにバス権の所有を放棄させるバス放棄信号を送出し、入出力装置のバス権を放棄させ、さらに、システムバスの前記入出力装置がバス権を所有している場合には、システムバスにシステムリセット信号を出力し、また、バス放棄信号とシステムリセット信号を送出とともに、CPU バスを介し演算装置にタイムアウトを報告することを特徴とする DMA 転送制御装置。

【請求項 3】システムバスに演算処理を実行する演算装置に CPU バスを介して、演算処理に必要なデータを記憶する記憶装置と、演算処理に必要なデータを入出力する DMA 転送可能な入出力装置と、CPU バスとシステムバスのデータを接続するデータ接続装置と、DMA 転送におけるバス権を制御するバス制御装置とからなる中央処理装置、およびシステムバスの DMA 転送を実行可能な入出力装置が接続されるデータ処理装置において、前記バス制御装置にバス使用許可信号とバス使用中信号とデータ転送実行信号を時間監視する手段をもたせ、前記入出力装置による DMA 転送時間が規定時間を超えたときにバス権の所有を放棄させるバス放棄信号を送出し、入出力装置のバス権を放棄させ、同時に CPU バスを介し演算装置にタイムアウトを報告することを特徴と

する DMA 転送制御装置。

【請求項 4】システムバスに演算処理を実行する演算装置に CPU バスを介して、演算処理に必要なデータを記憶する記憶装置と、CPU バスとシステムバスのデータを接続するデータ接続装置と、DMA 転送におけるバス権を制御するバス制御装置とからなる中央処理装置、およびシステムバスの DMA 転送を実行可能な入出力装置が接続されるデータ処理装置において、前記バス制御装置にバス使用許可信号とバス使用中信号とデータ転送実行信号を時間監視する手段をもたせ、前記入出力装置による DMA 転送時間が規定時間を超えたときに、システムバスにシステムリセット信号を出力し、同時に、CPU バスを介し演算装置にタイムアウトを報告することを特徴とする DMA 転送制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、システムバスに中央処理装置と入出力装置が接続されるデータ処理装置における DMA 転送の制御装置に関する。

【0002】

【従来の技術】中央処理装置は、演算処理を実行する演算装置と、CPU バスを介して、演算処理に必要なデータを記憶する記憶装置と、CPU バスとシステムバスのデータを接続するデータ接続装置と、DMA 転送におけるバス権を制御するバス制御装置とからなり、システムバスには、中央処理装置と、DMA 転送を実行可能な入出力装置で構成されるデータ処理装置において、DMA 転送を行う入出力装置は、バス要求信号をシステムバスへ送出し、バス制御装置は、そのバス要求信号を受け、バス許可信号を出力する。入出力装置は、バス許可によりバス権を取り、バスを使用するためバス使用中信号を送出し、データ転送を開始する。データ転送終了後バス使用中信号を開放する。

【0003】前記の DMA 転送において時間監視は、データ転送実行信号が有効である時間のみであった。

【0004】

【発明が解決しようとする課題】上記従来の DMA 転送制御装置の時間監視は、データ転送実行に関するもののみであったので、入出力装置がバス要求信号を送出し、データ転送を開始するまでの時間監視、およびデータ転送終了からバス使用中信号を開放するまでの時間監視がない。

【0005】従って、DMA 転送の実行時間内に、バス要求信号、バス許可信号、バス使用中信号がノイズ等により誤動作を起こった場合、または他の入出力装置が誤った動作をした場合等、入出力装置がバス権をとったままハングアップし中央処理装置が動作できないという問題があった。

【0006】本発明は、前記のハングアップの状態になった場合に、中央処理装置が誤動作することなく継続し

3

て処理でき、ハングアップ状態の入出力装置を再び使用できるように処理することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するための手段を説明する。

【0008】図2にシステム構成例を示す。

【0009】中央処理装置1は、演算処理を実行する演算装置2と、CPUバスを介して、演算処理に必要なデータを記憶する記憶装置3と、CPUバスとシステムバスのデータを接続するデータ接続装置4と、DMA転送におけるバス権を制御するバス制御装置5とからなる。システムバスには、中央処理装置1と、DMA転送を実行可能な入出力装置6が接続される。データ処理装置におけるDMA転送は、DMA転送を行う入出力装置6は、バス要求信号をシステムバスへ送出し、バス制御装置5は、そのバス要求信号を受け、演算装置2の演算処理を止めさせ、バス許可信号を出力する。入出力装置6は、バス許可によりバス権を取り、バスを使用するためバス使用中信号を送出し、データ転送を開始する。

【0010】図1にバス制御装置5の構成を示す。

【0011】DMA転送を実行する装置の決定等バス権を管理を行うDMA転送装置51と、システムバスからのバス要求信号が入力されるバス要求信号入力装置52と、バス要求信号の優先順位を決定するバス要求信号優先順位判定装置53と、CPUバスに演算ストップ信号を出力する演算ストップ出力装置54と、バス許可信号を出力するバス許可信号出力装置と、タイムアウト時間を監視するDMAタイムアウト監視装置56と、バス放棄信号を出力するバス放棄信号出力装置57と、システムバスにシステムリセット信号を出力するシステムリセット出力装置58と、CPUバスを介し演算装置にタイムアウトを報告するタイムアウト出力装置59で構成される。

【0012】バス制御装置5のDMAタイムアウト監視装置56の時間監視は、図3のタイムアウト監視に示すように3箇所実行する。

【0013】監視1 バス制御装置5がバス許可信号を出力し、入出力装置がバス使用中信号を送出するまでを監視する。

【0014】監視2 入出力装置6がバス使用中信号を送出してからデータ転送を開始するまでの時間を監視する。

【0015】監視3 入出力装置6がデータ転送を終了してからバス使用中信号を放出するまでの時間を監視する。

【0016】DMAタイムアウト監視装置56が前記の監視時間を越えたことを検出した場合DMA制御装置51に報告し、DMA制御装置51は、バス放棄信号出力装置57よりバス放棄信号を出力する。さらにシステムバスの入出力装置6がバス放棄信号を送出してもバス権

4

を所有している場合には、システムバスにシステムリセット出力装置58よりシステムリセット信号を出力する。また、DMA制御装置51は、バス放棄信号とバス放棄信号を送出とともに、タイムアウト出力装置59でCPUバスを介し演算装置2にバスタイムアウト信号を報告する。

【0017】上記のDMAタイムアウト監視により、入出力装置が誤った動作をしバス権をとったままハングアップの状態であることを検出することができ、上記のバス放棄信号の出力により、DMA転送中の遷移状態である入出力装置を解消することができ、さらにハングアップ状態である入出力装置はシステムリセット信号の出力により、初期化することができる。この間、中央処理装置は演算ストップ状態であり、再び演算を開始するときはバスタイムアウト信号によりDMA転送が異常であったことがわかり、異常処理を実行する。つまり、中央処理装置が誤動作することなく継続して処理でき、ハングアップ状態の入出力装置を復帰させることができた。

【0018】

【作用】図4に、DMA転送の動作フローを示し、図2のシステム構成例を用いて説明する。

【0019】（ステップ1） DMA転送を実行する入出力装置6は、バス要求信号をアサートする。

【0020】（ステップ2） バス制御装置5が、バス要求信号を検出し演算装置2をストップさせ優先順位を判定し、優先の高い要求信号に対応するバス許可信号を出力する。

【0021】（ステップ3） DMA転送を実行する入出力装置6は、バス許可信号を検出し、バス使用中信号をアサートする。

【0022】（ステップ4） DMA転送を実行する入出力装置6は、バス使用中信号をアサート後バス要求信号をネゲートし、データ転送を実行する。

【0023】（ステップ5） バス制御装置5は、バス使用中信号を検出後、バス許可信号をネゲートする。

【0024】（ステップ6） DMA転送を実行する入出力装置6は、データ転送終了後バス使用中信号をネゲートする。

【0025】このDMA転送の動作フローで、バス制御装置5内のDMAタイムアウト監視装置56が、時間監視を行うのは、

監視1 （ステップ2）のバス許可信号のアサートから（ステップ3）のバス使用中信号のアサート間

監視2 （ステップ3）のバス使用中信号のアサートから（ステップ4）のデータ転送開始間

監視3 （ステップ4）のデータ転送終了から（ステップ6）バス使用中信号のネゲート間

の3箇所である。

【0026】図5にDMAタイムアウト監視装置56がタイムアウトを検出した場合の動作フローを示す。

5

【0027】(ステップ10) DMAタイムアウト監視装置56が監視時間を超えたことを検出した。

【0028】(ステップ11) バス制御装置はバス放棄信号をアサートする。

【0029】(ステップ12) 入出力装置はバス放棄信号を検出しDMA転送を放棄する。

(ステップ13) バス制御装置は入出力装置DMA転送を放棄したのを確認するためバス要求信号とバス使用中信号がネゲートされているか調査する。

【0030】(ステップ14) (ステップ13)で入出力装置がDMA転送を放棄していなければ、バス制御装置からシステムリセット信号を出力する。

【0031】(ステップ15) 入出力装置はシステムリセット信号を検出し初期化する。

【0032】(ステップ16) (ステップ13)で入出力装置がDMA転送を放棄した場合と(ステップ15)を実行した場合はバスタイムアウト信号を有効にして演算装置に報告する。

【0033】上記の動作フローにより、DMA転送の動作、タイムアウト監視、およびタイムアウト検出後のタイミングは良好である。

【0034】

【実施例】以下に、本発明の実施例を図面に基づいて説明する。

【0035】本発明のシステム構成例を図2に示す。

【0036】中央処理装置1は、演算処理を実行する演算装置2と、CPUバスを介して、演算処理に必要なデータを記憶する記憶装置3と、CPUバスとシステムバスのデータを接続するデータ接続装置4と、DMA転送におけるバス権を制御するバス制御装置5とからなる。システムバスには、中央処理装置1と、DMA転送を実行可能な入出力装置6が接続される。データ処理装置におけるDMA転送は、DMA転送を行う入出力装置6は、バス要求信号をシステムバスへ送出し、バス制御装置5は、そのバス要求信号を受け、演算装置2の演算処理を止めさせ、バス許可信号を出力する。

【0037】入出力装置6は、バス許可によりバス権を取り、バスを使用するためバス使用中信号を送出し、データ転送を開始する。

【0038】図1にバス制御装置5の構成を示す。

【0039】DMA転送を実行する装置の決定等バス権の管理を行うDMA制御装置51と、システムバスからのバス要求信号が入力されるバス要求信号入力装置52と、バス要求信号の優先順位を決定するバス要求信号優先順位判定装置53と、CPUバスに演算ストップ信号を出力する演算ストップ出力装置54と、バス許可信号を出力するバス許可信号出力装置と、タイムアウト時間を監視するDMAタイムアウト監視装置56と、バス放棄信号を出力するバス放棄信号出力装置57と、システムバスにシステムリセット信号を出力するシステムリセッ

6

ト出力装置58と、CPUバスを介し演算装置にタイムアウトを報告するタイムアウト出力装置59で構成される。

【0040】バス制御装置5のDMAタイムアウト監視装置56の時間監視は、図3のタイムアウト監視に示すように3箇所実行する。

【0041】監視1 バス制御装置5がバス許可信号を出力し、入出力装置がバス使用中信号を送出するまでを監視する。

10 【0042】監視2 入出力装置6がバス使用中信号を送出してからデータ転送を開始するまでの時間を監視する。

【0043】監視3 入出力装置6がデータ転送を終了してからバス使用中信号を放出するまでの時間を監視する。

【0044】DMAタイムアウト監視装置56が前記の監視時間を超えたことを検出した場合DMA制御装置51に報告し、DMA制御装置51は、バス放棄信号出力装置57よりバス放棄信号を出力する。さらにシステムバスの入出力装置6がバス放棄信号を送出してもバス権を所有している場合には、システムバスにシステムリセット出力装置58よりシステムリセット信号を出力する。また、DMA制御装置51は、バス放棄信号とバス放棄信号を送出とともに、タイムアウト出力装置59でCPUバスを介し演算装置2にバスタイムアウト信号を報告する。

【0045】図4に、DMA転送の動作フローを示す。

【0046】(ステップ1) DMA転送を実行する入出力装置6は、バス要求信号をアサートする。

30 【0047】(ステップ2) バス制御装置5が、バス要求信号を検出し演算装置2をストップさせ優先順位を判定し、優先の高い要求信号に対応するバス許可信号を出力する。

【0048】(ステップ3) DMA転送を実行する入出力装置6は、バス許可信号を検出し、バス使用中信号をアサートする。

【0049】(ステップ4) DMA転送を実行する入出力装置6は、バス使用中信号をアサート後バス要求信号をネゲートし、データ転送を実行する。

40 【0050】(ステップ5) バス制御装置5は、バス使用中信号を検出後、バス許可信号をネゲートする。

【0051】(ステップ6) DMA転送を実行する入出力装置6は、データ転送終了後バス使用中信号をネゲートする。

【0052】このDMA転送の動作フローで、バス制御装置5内のDMAタイムアウト監視装置56が、時間監視を行うのは、

監視1 (ステップ2)のバス許可信号のアサートから(ステップ3)のバス使用中信号のアサート間

50 監視2 (ステップ3)のバス使用中信号のアサートか

7

ら(ステップ4)のデータ転送開始間

監視3 (ステップ4)のデータ転送終了から(ステップ6)バス使用中信号のネゲート間の3箇所である。

【0053】図5にDMAタイムアウト監視装置56がタイムアウトを検出した場合の動作フローを示す。

【0054】(ステップ10) DMAタイムアウト監視装置56が監視時間を越えたことを検出した。

【0055】(ステップ11) バス制御装置はバス放棄信号をアサートする。

【0056】(ステップ12) 入出力装置はバス放棄信号を検出しDMA転送を放棄する。

(ステップ13) バス制御装置は入出力装置がDMA転送を放棄したのを確認するためバス要求信号とバス使用中信号がネゲートされているか調査する。

【0057】(ステップ14) (ステップ13)で入出力装置がDMA転送を放棄していなければ、バス制御装置からシステムリセット信号を出力する。

【0058】(ステップ15) 入出力装置はシステムリセット信号を検出し初期化する。

【0059】(ステップ16) (ステップ13)で入出力装置がDMA転送を放棄した場合と(ステップ15)を実行した場合はバスタイムアウト信号を有効にして演算装置に報告する。

【0060】上記の構成、動作フロー、DMAタイムアウト監視により、入出力装置6が誤った動作をしバス権をとったままハングアップの状態であることを検出することができ、上記のバス放棄信号の出力により、DMA転送中の遷移状態である入出力装置6を解消することができ、さらにハングアップ状態である入出力装置6はシステムリセット信号の出力により、初期化することができる。この間、中央処理装置1は演算ストップ状態であり、再び演算を開始するときはバスタイムアウト信号によりDMA転送が異常であったことがわかり、異常処理を実行する。つまり、中央処理装置1が誤動作することなく継続して処理でき、ハングアップ状態の入出力装置6を再び使用できるよう処理することができた。

【0061】次に上記の装置の応用例について説明する。

【0062】中央処理装置内のCPUバスにDMA転送を実行可能な入出力装置が接続した場合でも、入出力装置がDMA転送時にDMAタイムアウト監視装置が監視時間を越えたことを検出したならば、DMA制御装置はバス放棄信号出力装置よりバス放棄信号を出力すること

8

により、DMA転送中の遷移状態である入出力装置を解消させることができる。

【0063】上記の装置では、DMAタイムアウト監視装置が監視時間を越えたことを検出した場合DMA制御装置に報告し、DMA制御装置は、バス放棄信号出力装置よりバス放棄信号を出力し、さらにシステムバスの入出力装置がバス権を所有している場合には、システムバスにシステムリセット出力装置よりシステムリセット信号を出力している。しかし、バス放棄信号あるいはシステムリセット信号の送出の一方のみで、入出力装置は復帰できる。

【0064】

【発明の効果】以上の説明で明らかなように本発明によれば、従来のDMA転送制御装置の時間監視が、データ転送実行に関するもののみであったのに対し、入出力装置がバス要求信号が送出し、データ転送を開始するまでの時間監視、およびデータ転送終了からバス使用中信号を開放するまでの時間監視を設けたことにより、DMA転送の実行時間内に、バス要求信号、バス許可信号、バス使用中信号がノイズ等により誤動作が起こった場合、または他の入出力装置が誤った動作をした場合等、入出力装置がバス権をとったままハングアップし中央処理装置が動作できないという問題は、解消することができた。つまり、入出力装置がハングアップの状態になった場合に、中央処理装置が誤動作することなく継続して処理でき、ハングアップ状態の入出力装置を再び使用できるよう復帰することができた。故に、データ処理装置が信頼性のより高いシステムを構築することが可能になった。

【図面の簡単な説明】

【図1】バス制御装置の構成図である。

【図2】システム構成例を示す図である。

【図3】タイムアウト監視を示す図である。

【図4】DMA転送の動作フロー図である。

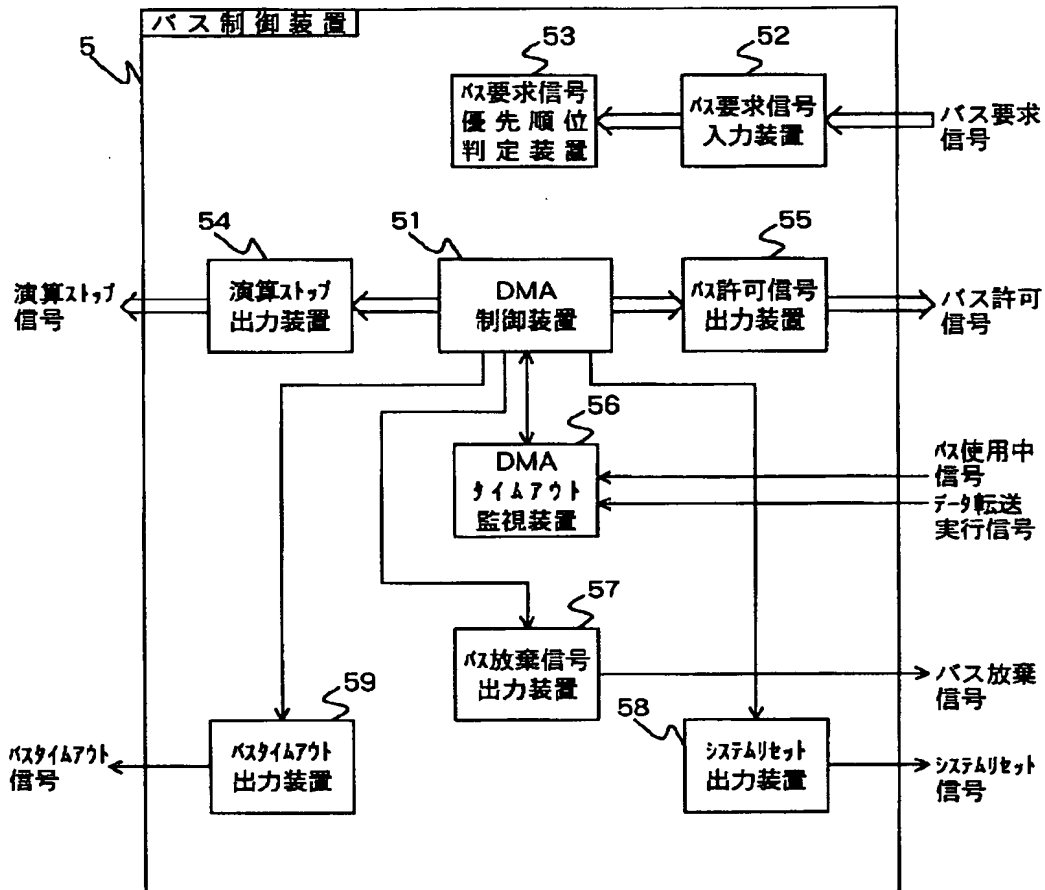
【図5】タイムアウト時の動作フロー図である。

【符号の説明】

1…中央処理装置、2…演算装置、3…主記憶装置、4…データ接続装置、5…バス接続装置、6…入出力装置、51…DMA制御装置、52…バス要求信号入出力装置、53…バス要求信号優先順位判定装置、54…演算ストップ出力装置、55…バス許可信号出力装置、56…DMAタイムアウト監視装置、57…バス放棄信号出力装置、58…システムリセット出力装置、59…バタタイムアウト出力装置。

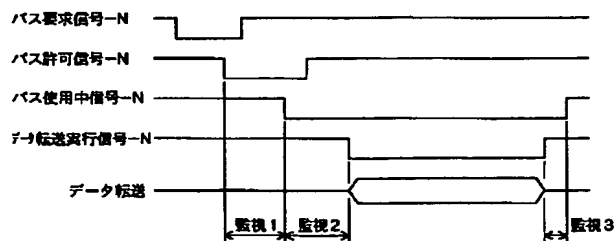
【図 1】

図 1



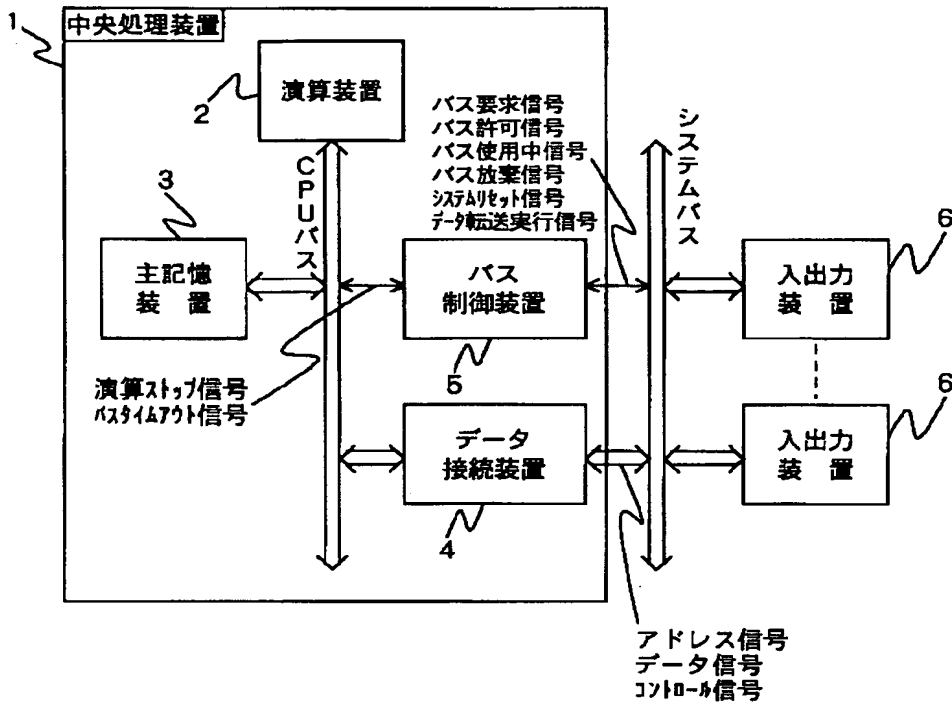
【図 3】

図 3



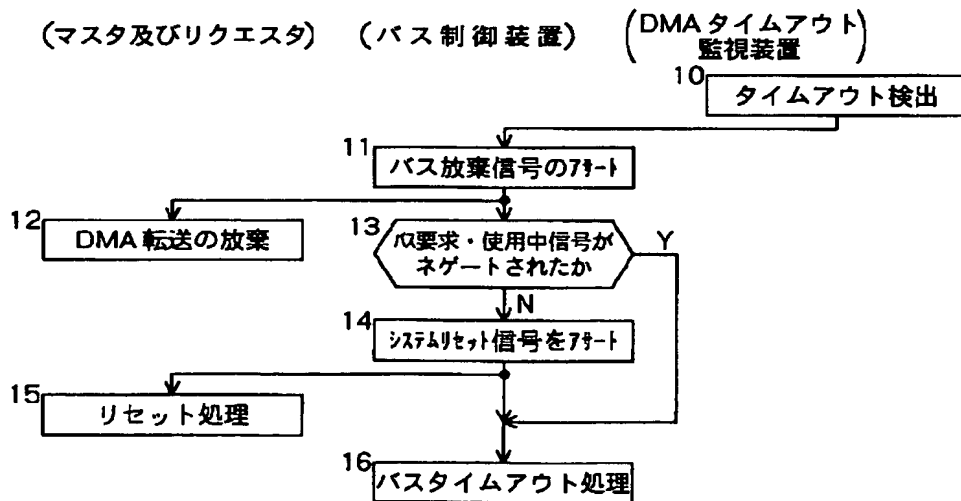
【図2】

図 2



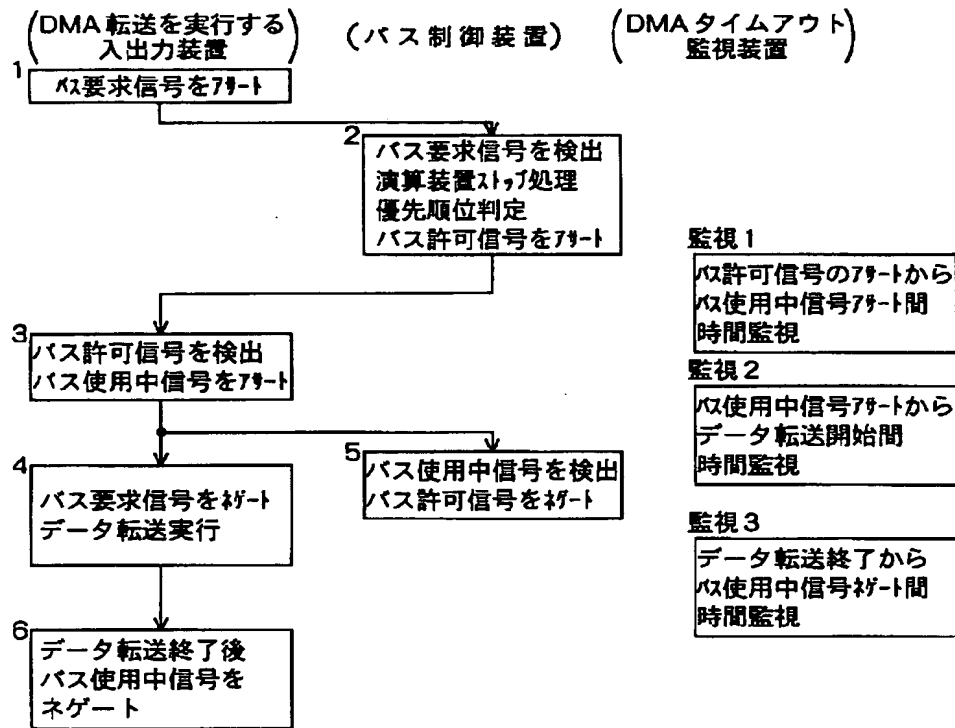
【図5】

図 5



【図4】

図 4



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.